

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-022671

(43)Date of publication of application : 21.01.1997

(51)Int.Cl.

H01J 31/12

G09F 9/30

H01J 1/30

H01J 9/02

(21)Application number : 07-172112

(71)Applicant : CANON INC

(22)Date of filing : 07.07.1995

(72)Inventor : UENO RIE

(54) ELECTRON SOURCE PLATE, IMAGE FORMING DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the manhour, to improve the reliability of a connection part, and to provide the image of high quality with the picture element arrangement at a high density by simplifying the structure of an electrode and a wiring part in an electron source, in which plural electron emitting elements are arranged.

SOLUTION: A pair of element electrodes 11, 12 are formed on a substrate (a), and a wiring 13 of a first layer is formed (b), and a band-shaped inter-layer insulating film 14 is formed (c). A wiring 15 of a second layer is simultaneously formed with the connection of the element electrode 11 in a recessed part 14a (d), and a wiring 16 of a third layer is repeated with the same material in the same condition with the wiring 15 (e) for the perfect contact, and the wiring at a low resistance is enabled. Finally, a film 17 of an electron emitting part is formed between the element electrodes (f) so as to finish the electron emitting element for electron source.

Reliability of the connection part of the electrode and the wiring is thereby improved, and the generation of unevenness of image due to an increase of the wiring resistance is prevented, and a device with a large screen, of which image is finely divided, is obtained.



LEGAL STATUS

[Date of request for examination] 29.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3332673

[Date of registration] 26.07.2002

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-22671

(43) 公開日 平成9年(1997)1月21日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 J 31/12			H 0 1 J 31/12	C
G 0 9 F 9/30	3 6 2	7426-5H	G 0 9 F 9/30	3 6 2
H 0 1 J 1/30			H 0 1 J 1/30	B
9/02			9/02	B

審査請求 未請求 請求項の数14 O L (全 16 頁)

(21) 出願番号 特願平7-172112

(22) 出願日 平成7年(1995)7月7日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 上野 理恵

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

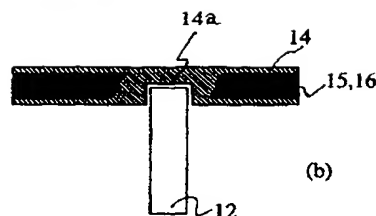
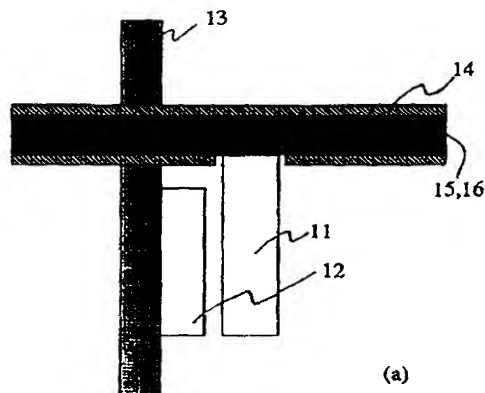
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 電子源基板および画像形成装置ならびにそれらの製造方法

(57) 【要約】

【課題】 表面伝導型電子放出素子を複数設置した電子源および画像形成装置の製造方法で、安価で工程数が少なく、また電極と配線部分の構成を簡略化することにより、相互の電気的接続部分の信頼性向上が図れ、より高密度な画素配列による高品位な画像が実現可能なものを提供する。

【解決手段】 表面伝導型電子放出素子の一方の素子電極に接続する第1層の配線を形成し、他方の素子電極に接続する第2層の配線を形成し、その第2層の配線の上に同じ材料で第3層の配線を形成して電子源基板を作製し、それを用いて画像形成装置を作製する。



【特許請求の範囲】

【請求項1】 基板上に一对の素子電極を含む電子放出素子複数個を、複数の走査側配線と複数の信号側配線の直交する位置に配設する電子源基板の製造方法において、

- 1) 基板上に複数の素子電極対を形成する工程、
- 2) 該素子電極対の一方の素子電極(第1の素子電極)に接続する接続部を有する第1層の配線を形成する工程、
- 3) 前記第1の素子電極に対向するもう一方の素子電極(第2の素子電極)と交わる部分に凹部を有し前記第1層の配線と直交する帯状パターンの絶縁層を形成し、該帯状絶縁層上に該絶縁層の幅以下の幅を有し前記凹部で第2の素子電極と接触する第2層の配線を形成する工程、
- 4) 該第2層の配線と前記第2の素子電極を接続する接続層を形成する工程、
- 5) 該第2層の配線の上に第3層の配線を形成する工程、ならびに
- 6) 前記素子対に基づいて電子放出素子形成を行う工程を含むことを特徴とする電子源基板の製造方法。

【請求項2】 前記第2層の配線と前記第3層の配線と同じ材料で形成する請求項1記載の製造方法。

【請求項3】 電子放出素子の形成を、素子対間への導電性薄膜形成と通電処理による該薄膜の一部における電子放出部形成で行って表面伝導型電子放出素子を形成する請求項1または2記載の製造方法。

【請求項4】 前記第2層の配線の形成と前記第2層の配線と前記素子電極とを接続する接続層の形成を同時に行う請求項1ないし3のいずれかに記載の電子源基板の製造方法。

【請求項5】 前記各層の形成を印刷法で行う請求項1ないし4のいずれかに記載の電子源基板の製造方法。

【請求項6】 基板上に短冊状に形成された配線間に電子放出素子を配列する電子源基板の製造方法において、

- 1) 基板上に複数の素子電極対を形成する工程、
- 2) 該素子電極対の一方の素子電極(第1の素子電極)に接続する接続層を有する第1層の配線を形成する工程、
- 3) 前記素子電極対をはさんで前記第1層の配線と平行に走る第2層の配線を形成する工程、
- 4) 前記第1の素子電極に対向するもう一方の素子電極(第2の素子電極)と前記第2層の配線を接続する接続層を形成する工程、
- 5) 該第2層の配線の上に第3層の配線を形成する工程、ならびに
- 6) 前記素子対に基づいて電子放出素子形成を行う工程を含むことを特徴とする電子源基板の製造方法。

【請求項7】 前記第2層の配線と前記第3層の配線と同じ材料で形成する請求項6記載の製造方法。

【請求項8】 電子放出素子の形成を、素子対間への導電性薄膜形成と通電処理による該薄膜の一部における電子放出部形成で行って表面伝導型電子放出素子を形成する請求項6または7記載の製造方法。

【請求項9】 前記第2層の配線の形成と前記第2層の配線と前記素子電極とを接続する接続層の形成を同時に行う請求項6ないし8のいずれかに記載の電子源基板の製造方法。

【請求項10】 前記各層の形成を印刷法で行う請求項6ないし9のいずれかに記載の電子源基板の製造方法。

【請求項11】 請求項1ないし5のいずれかに記載の方法で製造される電子源基板と、画像が形成される領域を備えた基板とを対向させ、支持枠を介して接合する工程、両基板の間の空間を減圧状態とする工程、前記電子源基板に画像形成用の駆動回路を接続する工程を含む画像形成装置の製造方法。

【請求項12】 請求項6ないし10のいずれかに記載の方法で製造される電子源基板と、画像が形成される領域を備えた基板とを対向させ、両基板間に複数のグリッド電極を配置しながら両基板を支持枠を介して接合する工程、両基板の間の空間を減圧状態とする工程、前記電子源基板および前記グリッド電極に画像形成用の駆動回路を接続する工程を含む画像形成装置の製造方法。

【請求項13】 請求項1ないし10のいずれかに記載の方法で製造される電子源基板。

【請求項14】 請求項11または12記載の方法で製造される画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電子源およびその応用である表示装置等の画像形成装置に関する。

【0002】

【従来の技術】従来、電子放出素子として熱電子源と冷陰極電子源の2種類が知られている。冷陰極電子源には電界放出型(以下、FEと称する)、金属/絶縁層/金属型(以下、MIMと称する)や、表面伝導型電子放出素子等がある。

【0003】FE型の例としては、Dykeらの報告(W. P. Dyke and W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89(1956))に記載のもの、Spindtの報告(C. A. Spindt, "Physical Properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248(1976))に記載のもの等が知られている。

【0004】MIM型の例としては、Meadの報告(C. A. Mead, "The tunnel-emission amplifier", J. Appl. Phys., 32, 646(1961))に記載のもの等が知られている。

【0005】表面伝導型電子放出素子の例としては、エリンソンの報告(M. I. Elinson, Radio Eng. Electron

Phys., 10(1965))に記載のもの等がある。

【0006】表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。

【0007】この表面伝導型電子放出素子としては、前記のエリンソンの報告に記載の SnO_2 薄膜を用いたもの、Au薄膜によるもの(G. Dittmer, "Thin Solid Films", 9, 317(1972))、 $\text{In}_2\text{O}_3/\text{SnO}_2$ 薄膜によるもの(M. Hartwell and C. G. Fonstad, "IEEE Trans. ED Conf.", 519(1975))、カーボン薄膜によるもの(荒木ら, 真空, 第26巻, 第1号, 22頁(1983))などが報告されている。

【0008】これらの表面伝導型電子放出素子の典型的な素子構成として前述のハートウェル(Hartwell)の素子の構成を図6に示す。同図において、1は基板である。2は電子放出部形成用薄膜で、スパッタリングで形成されたH型形状の金属酸化物薄膜等からなり、後述の通電フォーミングと呼ばれる通電処理により電子放出部3が形成される。なお、図中の素子電極間隔L1は、0.5~1.0mm、W'は、0.1mmで設定されている。なお、電子放出部3の位置および形状については不明であるので模式図として表わした。

【0009】従来、これらの表面伝導型電子放出素子においては、電子放出をおこなう前に電子放出部形成用薄膜2を予めフォーミングと呼ばれる通電処理によって電子放出部3を形成するのが一般的であった。即ち、通電フォーミングとは、前記電子放出部形成用薄膜2の両端に直流電圧あるいは非常にゆっくりとした昇電圧、例えば1V/分程度を印加通電し、導電性薄膜を局部的に破壊、変形もしくは変質せしめ、電気的に高抵抗な状態にした電子放出部3を形成することである。なお、電子放出部3は電子放出部形成用薄膜2の一部に亀裂が発生し、その亀裂付近から電子放出が行われる。以下、フォーミングにより発生した電子放出部を含む電子放出部形成用薄膜を電子放出部を含む薄膜(図中4)と呼ぶ。前記フォーミング処理をした表面伝導型電子放出素子は、上述の電子放出部を含む薄膜4に電圧を印加し、素子表面に電流を流すことにより、上述の電子放出部3より電子を放出せしめるものである。

【0010】さらに、通常はフォーミング工程の終了後に、「活性化」と呼ばれる工程が導入されている。この目的は、フォーミングにより高抵抗化された表面伝導型電子放出素子に一定の電圧を一定時間通電しつづけることによって、電子放出量を増加せしめることである。

【0011】上述の表面伝導型放出素子は構造が単純で製造も容易であることから、それを大面積にわたり多数配列形成できるという利点を有している。そこでこの特徴を生かすべく各種の応用が研究されている。例えば、荷電ビーム源、画像形成装置等の表示装置等への応用があげられる。

【0012】

【発明が解決しようとする課題】しかしながら、以上説明したような表面伝導型電子放出素子を画像形成装置として大面積化するには以下のような問題点がある。前記表面伝導型電子放出素子の製造工程において電極や配線パターンを加工する場合、基板上に電極および配線材料の金属薄膜を成膜し、これを通常のフォトリソグラフィ、エッチング技術を用いてパターン加工し、電極や配線パターンを形成する。しかしながら、例えば、40cm角以上の大型基板にフォトリソグラフィ、エッチング技術により製造する場合、蒸着装置を初め、露光装置、エッチング装置等を含む大型製造設備が必要となり莫大な費用がかかるだけでなく、基板を大型化した場合、製造装置自体の大型化が困難となり、製造方法上あるいはコスト上の問題があった。また、大面積化することで電極数の増加や配線の増加・複雑化により、工程数が増え、断線や短絡等の欠陥が発生しやすくなり、歩留りが低下する等の問題があった。

【0013】本発明は、かかる従来の問題を鑑みて、表面伝導型電子放出素子を複数設置した電子源および画像形成装置の製造方法で、安価で工程数が少なく、また電極と配線部分の構成を簡略化することにより、相互の電気的接続部分の信頼性向上が図れ、より高密度な画素配列による高品位な画像が実現可能なものを提供することを目的とする。

【0014】

【課題を解決するための手段】本発明は、基板上に一对の素子電極を含む電子放出素子複数個を、複数の走査側配線と複数の信号側配線の直交する位置に配設する電子源基板の製造方法において、

- 1) 基板上に複数の素子電極対を形成する工程、
- 2) 該素子電極対の一方の素子電極(第1の素子電極)に接続する接続部を有する第1層の配線を形成する工程、
- 3) 前記第1の素子電極に対向するもう一方の素子電極(第2の素子電極)と交わる部分に凹部を有し前記第1層の配線と直交する帯状パターンの絶縁層を形成し、該帯状絶縁層上に該絶縁層の幅以下の幅を有し前記凹部で第2の素子電極と接触する第2層の配線を形成する工程、
- 4) 該第2層の配線と前記第2の素子電極を接続する接続層を形成する工程、
- 5) 該第2層の配線の上に第3層の配線を形成する工程、ならびに
- 6) 前記素子対に基づいて電子放出素子形成を行う工程を含むことを特徴とする電子源基板の製造方法、さらにはその方法によって製造した電子源基板と、画像が形成される領域を備えた基板とを対向させ、支持枠を介して接合する工程、両基板の間の空間を減圧状態とする工程、前記電子源基板に画像形成用の駆動回路を接続する

工程を含む画像形成装置の製造方法を提供する。

【0015】さらに本発明は、基板上に短冊状に形成された配線間に電子放出素子を配列する電子源基板の製造方法において、

- 1) 基板上に複数の素子電極対を形成する工程、
- 2) 該素子電極対の一方の素子電極(第1の素子電極)に接続する接続層を有する第1層の配線を形成する工程、
- 3) 前記素子電極対をはさんで前記第1層の配線と平行に走る第2層の配線を形成する工程、
- 4) 前記第1の素子電極に対向するもう一方の素子電極(第2の素子電極)と前記第2層の配線を接続する接続層を形成する工程、
- 5) 該第2層の配線の上に第3層の配線を形成する工程、ならびに
- 6) 前記素子対に基づいて電子放出素子形成を行う工程を含むことを特徴とする電子源基板の製造方法、さらにはその方法によって製造された電子源基板と、画像が形成される領域を備えた基板とを対向させ、両基板間に複数のグリッド電極を配置しながら両基板を支持棒を介して接合する工程、両基板の間の空間を減圧状態とする工程、前記電子源基板および前記グリッド電極に画像形成用の駆動回路を接続する工程を含む画像形成装置の製造方法を提供する。

【0016】このような本発明の製造方法では、従来の方法と比較して配線構造を2層にするという簡易な構造で、

- 1) 電極と配線の接続部分の信頼性を向上させ、
- 2) 配線抵抗の低抵抗化が実現され、
- 3) 大面積化の際に問題とされていた配線抵抗の増大による画素むらの発生を防止でき、
- 4) 高精細大画面の画像形成装置を得ることができる。

【0017】

【発明の実施の形態】以下、図面を参照して本発明を詳細に説明する。

【0018】図1に、本発明の方法で製造された電子源基板の代表的な素子構造を示す。図1(a)は平面図、図1(b)は破断平面図である。

【0019】図2および図3に、本発明の製造方法の手順を示した。図2はその手順の前半、図3はその後半を示した工程図である。これらの図2および図3では、不図示の基板上に電子放出素子を3個×3個の計9個、マトリクス状に配線と共に形成した例を示した。図中、11および12は一对の素子電極、13は第1層の配線、14は第1層の配線と第2層の配線との間の層間絶縁層、15は第2層の配線、16は第3層の配線、17は電子放出部形成用の膜である。

【0020】以下、図2および図3に従って本発明の電子源基板製造方法を詳細に説明する。

【0021】まず、あらかじめ洗浄された基板に、素子

電極の印刷・焼成を行い、素子電極11・12からなる素子電極対を形成する(図2(a))。本電極は電子放出部薄膜と配線とのオーム接触を良好にするために設けられるものである。通常、電子放出部薄膜は、配線用の導体層と比べて著しく薄い膜であるために「フレキシブル性」、「段差保持性」等の問題を回避するために設けているものである。従って、スパッタリング法等によって配線用の導体層を薄膜にて構成する場合は、電子放出部薄膜の形成は必ずしも別個に行う必要はなく、配線導体と同時に形成することが可能である。

【0022】電極の形成方法としては、真空蒸着法、スパッタリング法、プラズマCVD法等の真空系を用いる方法や、触媒に金属成分およびガラス成分を混合した厚膜ペーストを印刷、焼成することにより形成する厚膜印刷法がある。

【0023】本発明の製造方法では、フォトリソ工程を必要としない厚膜印刷法を用いる場合に工程の短縮が最も顕著である。しかしながら、電子放出部近傍の電極は膜厚が小さいことが望ましい。そこで、厚膜印刷法を用いる場合はその際使用するペーストとして有機金属化合物を含有するMODペーストを使用することが好ましい。もちろん、これ以外の成膜方法を用いてもさしつかえなく、また、構成材料としては、電気伝導性のある材料であれば特に限定されるものではない。

【0024】次に、第1層の配線13を形成する(図2(b))。配線の形成は、素子電極11および12の形成と同様の方法を適用して行うことが可能であるが、配線の場合には、電極部分と異なり、膜厚は大きい方が電気抵抗を低減できて有利である。そこで、厚膜印刷法を用いるのが有利である。当然のことながら、薄膜配線の適用も可能であるが、膜厚を厚くするには時間が必要となり、不利である。

【0025】次に、層間絶縁膜14を形成する(図2(c))。この層間絶縁膜は帯状に形成し、素子電極12との交差部に凹部14aを設け、その部分で素子電極12が露出している。また、この層間絶縁膜の幅は図1からも明らかなように、次工程の第2層の配線の幅より広く設定する。その理由は、第1層の配線と第2層の配線がその交差部でショートするのを防ぐためである。前記絶縁層は、絶縁性を保てる材料からなるものであればよい。例えば、 SiO_2 薄膜、金属成分を含まない厚膜ペーストによる膜等が挙げられる。

【0026】次に第2層の配線15を形成する(図3(d))。この場合、第2層の配線15の形成とその第2層の配線と素子電極11との接続は同時に行われる。形成方法は、第1層の配線と同様の方法が適用可能である。このような方法によれば、第2層の配線形成と同時に層間絶縁膜14の凹部14aで素子電極への接続が行われることから、接続パターンを設ける必要がなく、工程数の低減が可能である。

【0027】次に、本発明の特徴である第3層の配線16を形成する(図3(e))。第3層の配線は、第2層の配線を形成した後、第2層の配線と同材料・同条件で繰り返し形成することで形成することができる。そのようにして第3層の配線を形成することにより、第2層の配線と素子電極とのコンタクト部で「ひび割れ」や「切れ」があっても、この第3層の配線を印刷によって形成することにより、それらの欠陥部分が被覆されて、コンタクトが完全になる。また、配線層の厚さが倍化するため低抵抗な配線とすることができる。

【0028】最後に電子放出部の膜17を形成して、電子源用の電子放出素子(3個×3個の計9個)が完成する(図3(f))。成膜方法および電子放出部17(表面伝導型電子放出素子)の形成方法は、従来の方法をそのまま適用することが可能である(後述)。

【0029】本図では、9素子部分のみを図示したが、これを複数個、同時に形成するようにすることで、単純マトリクス構成の電子源を作製することができる。

【0030】本発明は、画像形成装置の中でも、表面伝導型電子放出素子を用いた単純マトリクス方式の画像形成装置において優れた効果をもたらすものであり、また厚膜印刷法を用いた画像形成装置の製造方法において優れた効果をもたらすものである。

【0031】以下に、本発明に関わる表面伝導型電子放出素子の基本的な構成、その製造方法および特徴(例えば、特開平2-56822等を参考にして)について概説する。

【0032】本発明に関わる表面伝導型電子放出素子においては、

1) フォーミングと呼ばれる通電処理前の電子放出部形成用薄膜は、微粒子分散体を分散し形成された微粒子からなる薄膜、あるいは有機金属等を加熱焼成し形成された微粒子からなる薄膜等、基本的には、微粒子より構成され、

2) フォーミングと呼ばれる通電処理後の電子放出部を含む薄膜は、電子放出部、電子放出部を含む薄膜とも基本的には微粒子より構成される。

【0033】図7(a)および(b)は、それぞれ、本発明にかかわる基本的な表面伝導型電子放出素子の構成を示す平面図および断面図である。図7を用いて、本発明にかかわる素子の基本的な構成を説明するが、本発明の電子源および画像形成装置では後述するように、この表面伝導型電子放出素子を多数個、同一基体上に配線電極と共に形成しているものである。

【0034】図7において1は絶縁性基板、5と6は素子電極、4は電子放出部を含む薄膜、3は電子放出部である。

【0035】絶縁性基板1としては、石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス、青板ガラスにスパッタ法等により形成したSiO₂(絶縁

体層)を積層したガラス基板等およびアルミナ等のセラミックス等があげられる。対向する素子電極5および6の材料としては一般的な導電体が用いられ、例えば、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd、Ag、Ru、Ta、Pb、Zr、Hf、Sb、La等の金属、あるいはこれらの金属の合金、ならびにPd、Ag、Au、RuO₂、Pd-Ag等の金属または金属酸化物とガラス等から構成される印刷導体、In₂O₃-SnO₂等の透明導電体およびポリシリコン等の半導体材料等が挙げられる。

【0036】素子電極間隔L1は、数Å~数百μmであり、素子電極の製法の基本となるフォトリソグラフィ技術、即ち、露光機の性能とエッチング方法等や、素子電極間に印加する電圧と電子放出し得る電界強度等により設定されるが、好ましくは、数μm~より数十μmである。素子電極長さW1、素子電極5および6の膜厚dは、電極の抵抗値、後述するX、Y配線との結線、多数配置された電子源の配置上の問題より適宜設計され、通常は、素子電極長さW1は、数μm~数百μmであり、素子電極5および6の膜厚dは、数百Å~数千Åである。

【0037】絶縁性基板1上に設けられた対向する素子電極対5・6間および素子電極対5・6上に設けられた電子放出部を含む薄膜4は、電子放出部3を含むが、図7(b)に示された場合だけでなく、素子電極5および6上には設けられない場合もある。すなわち、絶縁性基板1上に、先述した電子放出部形成用薄膜、対向する素子電極対5・6の順に積層される場合もあり得る。また、製法によっては、対向する素子電極対5・6間の間隔部全体が電子放出部として機能する場合もある。この電子放出部を含む薄膜4の膜厚は、数Å~数千Åであり、素子電極5および6へのステップカバレッジ、電子放出部3と素子電極5・6間の抵抗値および電子放出部3の導電性微粒子の粒径、後述する通電処理条件等によって適宜設定される。その抵抗値は、10³~10⁷Ω/□のシート抵抗値を示す。

【0038】電子放出部を含む薄膜4を構成する材料としては、Pd、Pt、Ru、Ag、Au、Ti、In、Cu、Cr、Fe、Zn、Sn、Ta、W、Pb等の金属；PdO、SnO₂、In₂O₃、PbO、Sb₂O₃等の酸化物；HfB₂、ZrB₂、LaB₆、CeB₆、YB₄、Gd₄B₄等の硼化物；TiC、ZrC、HfC、TaC、SiC、WC等の炭化物；TiN、ZrN、HfN等の窒化物；Si、Ge等の半導体；カーボン等を挙げることができる。

【0039】なお、ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造として、微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接あるいは重なり合った状態(島状も含む)の膜を指しており、微粒子の粒径は、数Å~数千Å、好ましく

は $10\text{Å} \sim 200\text{Å}$ である。

【0040】電子放出部3は電子放出部を含む薄膜4の一部に形成された高抵抗の亀裂であり、通電フォーミング等により形成される。また、亀裂内には数 Å ～数百 Å の粒径の導電性微粒子を有することもある。この導電性微粒子は電子放出部を含む薄膜4を構成する物質の少なくとも一部の元素を含んでいる。また、電子放出部3およびその近傍の電子放出部を含む薄膜4は炭素または炭素化合物を有することもある。

【0041】電子放出部3を有する電子放出素子の製造方法としては様々な方法が考えられるが、その1例を図8に示す。2は電子放出部形成用薄膜で例えば微粒子膜が挙げられる。

【0042】以下、順を追ってこの素子の製造方法の説明を図7および図8に基づいて説明する。

【0043】1) 絶縁性基板1を洗剤、純水および有機溶剤により十分に洗浄後、真空蒸着法、スパッタ法等により素子電極材料を堆積後、フォトリソグラフィ技術により、その絶縁性基板1の面上に素子電極5および6を形成する(図8(a))。

【0044】2) 絶縁性基板1上に設けられた素子電極5と6の間に有機金属溶液を塗布して放置することにより、有機金属薄膜を形成する。なおここで言う有機金属溶液とは、前記Pd, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb等の金属を構成元素とする有機化合物の溶液である。この後、有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、電子放出部形成用薄膜2を形成する(図8(b))。

【0045】なお、ここでは有機金属の塗布法により説明したが、これに限るものではなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、デッピング法、スピナー法等によって形成される場合もある。

【0046】3) 続いて、フォーミングと呼ばれる通電処理を行う。通電フォーミングは素子電極5・6間に不図示の電源により通電を行い、電子放出部形成用薄膜2を局部的に破壊、変形もしくは変質せしめ、構造を変化させた部位を形成させるものである。この局部的に構造変化させた部位を電子放出部3と呼ぶ(図8(c))。先に説明したように、電子放出部3は導電性微粒子で構成されていることを本発明者は観察している。

【0047】次に上記フォーミング処理の電圧波形の1例を図9に示す。

【0048】電圧波形は特にパルス形状が好ましく、パルス波高値が一定の電圧パルスを連続的に印加する場合(図9(a))と、パルス波高値を増加させながら電圧パルスを印加する場合(図9(b))とがある。まず、パルス波高値を一定電圧とした場合(図9(a))について説明する。

【0049】図9(a)におけるT1およびT2は電圧波

形のパルス幅とパルス間隔であり、T1を $1\mu\text{秒} \sim 10\text{ミリ秒}$ 、T2を $10\mu\text{秒} \sim 100\text{ミリ秒}$ とし、三角波の波高値(通電フォーミング時のピーク電圧)は表面伝導型電子放出素子の形態に応じて適宜選択し、適当な真空度、例えば $1 \times 10^{-5}\text{Torr}$ 程度の真空雰囲気下で、数秒～数十分印加する。なお、素子の電極間に印加する波形は三角波に限定する必要はなく、矩形波など所望の波形を用いてもよい。また、その波高値およびパルス幅・パルス間隔等についても上述の値に限ることなく、電子放出部が良好に形成されれば所望の値を選択することができる。

【0050】図9(b)におけるT1およびT2は、図9(a)の場合と同様であり、三角波の波高値(通電フォーミング時のピーク電圧)は、例えば0.1Vステップ程度ずつ増加させ適当な真空雰囲気下で印加する。

【0051】なお、この場合の通電フォーミング処理は、パルス間隔T2中に、電子放出部形成用薄膜2を局部的に破壊・変形しない程度の電圧、例えば0.1V程度の電圧で、素子電流を測定し、抵抗値を求め、例えば $1\text{M}\Omega$ 以上の抵抗を示した時に通電フォーミング終了とする。

【0052】次に通電フォーミングが終了した素子に活性化工程と呼ぶ処理を施すことが望ましい。

【0053】活性化工程とは、例えば、 $10^{-4} \sim 10^{-5}\text{Torr}$ 程度の真空度で、通電フォーミング同様、パルス波高値が一定の電圧パルスを繰返し印加する処理のことであり、真空中に存在する有機物質に起因する炭素もしくは炭素化合物を薄膜上に堆積させ素子電流If、放出電流Ieを著しく変化させる処理である。活性化工程は素子電流Ifと放出電流Ieを測定しながら、例えば、放出電流Ieが飽和した時点で終了する。また、印加する電圧パルスは動作駆動電圧で行うことが好ましい。

【0054】なお、ここで炭素もしくは炭素化合物とは、グラファイト(単結晶および多結晶の両方を指す)、非晶質カーボン(非晶質カーボンおよび多結晶グラファイトの混合物を指す)であり、その膜厚は 50Å 以下が好ましく、より好ましくは 300Å 以下である。

【0055】こうして作製した電子放出素子は、通電フォーミング工程、活性化工程における真空度よりも高い真空度の雰囲気下に置いて動作駆動させるのがよい。また、さらに高い真空度の雰囲気下で、 $80^\circ\text{C} \sim 150^\circ\text{C}$ の加熱後に動作駆動させることが望ましい。

【0056】なお、通電フォーミング工程、活性化処理した真空度より高い真空度とは、例えば約 10^{-6}Torr 以上の真空度であり、より好ましくは超高真空系であり、新たに炭素もしくは炭素化合物が導電薄膜上にほとんど堆積しない真空度である。こうすることによって、素子電流If、放出電流Ieを安定化させることが可能となる。

【0057】次に上述のような素子構成と製造方法によって作成された本発明に関わる電子放出素子の基本特性について図10および図11を用いて説明する。

【0058】図10は図7で示した構成を有する素子の電子放出特性を測定するための測定評価装置の概略構成図である。図10において、1は絶縁性基板、5および6は素子電極、4は電子放出部を含む薄膜、3は電子放出部を示す。また、91は素子に素子電圧 V_f を印加するための電源、90は素子電極5・6間の電子放出部を含む薄膜4を流れる素子電流 I_f を測定するための電流計、94は素子の電子放出部より放出される放出電流 I_e を捕捉するためのアノード電極、93はアノード電極94に電圧を印加するための高圧電源、92は素子の電子放出部3より放出される放出電流 I_e を測定するための電流計である。電子放出素子の上記素子電流 I_f および放出電流 I_e の測定にあたっては、素子電極5および6に電源91と電流計90とを接続し、その電子放出素子の上方に高圧電源93と電流計92とを接続したアノード電極94を配置している。また、本電子放出素子およびアノード電極94は真空装置内に配置され、その真空装置には排気ポンプおよび真空計等の真空装置に必要な機器が具備されており、所望の真空下にて本素子の測定評価を行えるようになっている。なお、アノード電極の電圧は1～10kV、アノード電極と電子放出素子との距離Hは3～8mmの範囲で測定した。

【0059】図10に示した測定評価装置により測定された放出電流 I_e および素子電流 I_f と素子電圧 V_f の関係の典型的な例を図11に示す。なお、図11は任意単位で示されており、放出電流 I_e は素子電流 I_f のおよそ1000分の1程度である。図からも明らかなように、本電子放出素子は放出電流 I_e に対して3つの特性を有する。

【0060】第1に、本素子では、ある電圧（閾値電圧と呼ぶ。図11中の V_{th} ）以上の素子電圧を印加すると、急激に放出電流 I_e が増加する。一方、閾値電圧より低い電圧では放出電流 I_e はほとんど検出されない。すなわち、放出電流 I_e に対する明確な閾値電圧 V_{th} を持った非線形素子である。

【0061】第2に、放出電流 I_e が素子電圧 V_f に依存するため、放出電流 I_e は素子電圧 V_f で制御できる。

【0062】第3に、アノード電極94に捕捉される電荷量は、素子電圧 V_f を印加する時間により制御できる。

【0063】以上のような特性を有するため、本発明に関わる電子放出素子は、他方面への応用が期待される。また、素子電流 I_f は素子電圧 V_f に対して単調に増加する(M1)特性の例を図11に示したが、この他にも、素子電流 I_f が素子電圧 V_f に対して電圧制御型負性抵抗(VCNR)特性を示す場合もある。この場合も電子放出素子は上述した3つの特性を有する。なお、予め導電

性微粒子を分散して構成した表面伝導型電子放出素子においては、前記本発明の基本的な素子構成の基本的な製造方法の一部を変更しても作製できる。

【0064】次に、本発明の電子源および画像形成装置について述べる。

【0065】画像形成装置に用いられる電子源基板は複数の表面伝導型電子放出素子を基板上に配列することにより形成される。表面伝導型電子放出素子の配列の方式には表面伝導型電子放出素子を並列に配置し、個々の素子の両端を配線で接続する梯子型配置（以下、梯子型配置電子源基板と呼ぶ）や、表面伝導型電子放出素子の一对の素子電極にそれぞれX方向配線、Y方向配線を接続した単純マトリクス配置（以下、マトリクス型配置電子源基板と呼ぶ）があげられる。なお、梯子型配置電子源基板を有する画像形成装置には電子放出素子からの電子の飛翔を制御する電極である制御電極（グリッド電極）を必要とする。

【0066】以下、この原理に基づき構成した電子源基板の構成について図12を用いて説明する。111は絶縁性基板、112はX方向配線、113はY方向配線、114は表面伝導型電子放出素子、115は結線である。同図において、絶縁性基板111は、前述したガラス等であり、その大きさおよび厚みは、表面伝導型電子放出素子の個数および個々の素子の設計上の形状、さらには電子源の使用時に容器の一部を構成する場合には、その容器を真空に保持するための条件等に依存して適宜設定される。m本のX方向配線112は $D \times 1$ 、 $D \times 2$ 、 \dots 、 $D \times m$ からなり、絶縁性基板111上に、所定の形状にパターンニングされた導電性金属等からなり、多数の表面伝導型電子放出素子にはほぼ均等な電圧が供給されるように、材料、膜厚、配線幅等が設定される。Y方向配線113は、 $Dy1$ 、 $Dy2$ 、 \dots 、 Dyn のn本の配線よりなり、X方向配線112と同様に所定の形状にパターンニングされた導電性金属等からなり、多数の表面伝導型電子放出素子にはほぼ均等な電圧が供給されるように、材料、膜厚、配線幅等が設定される。

【0067】これらm本のX方向配線112とn本のY方向配線113の間には、不図示の層間絶縁層が設置され、電気的に分離されて、マトリクス配線を構成する。なお、このm、nは共に正の整数である。不図示の層間絶縁層は、 SiO_2 等からなる層であり、X方向配線112を形成した絶縁性基板111の全面または一部に所定の形状で形成され、特にX方向配線112とY方向配線113の交差部の電位差に耐え得るように、膜厚、材料、製法が適宜設定される。また、X方向配線112とY方向配線113は、それぞれ外部端子として引き出されている。

【0068】なおここでは、m本のX方向配線112の上にn本のY方向配線113を層間絶縁層を介して設置した例で説明しているが、n本のY方向配線113の上

にm本のX方向配線112を層間絶縁層を介して設置することもできる。

【0069】さらに、前述と同様にして、表面伝導型電子放出素子114の対向する素子電極（不図示）がDx1、Dx2・・・Dxmのm本のX方向配線112と、Dy1、Dy2・・・Dynのn本のY方向配線113と結線115によって電氣的に接続されているものである。

【0070】なお、m本のX方向配線112とn本のY方向配線113と結線115と素子電極の導電性金属は、その構成元素の一部または全部が同一であっても異なってもよく、Ni、Cr、Au、Mo、W、Pt、Ti、Al、Cu、Pd等の金属またはそれらの合金；Pd、Ag、Au、RuO₂、Pd-Ag等の金属または金属酸化物とガラス等から構成される印刷導体；In₂O₃-SnO₂等の透明導体およびポリシリコン等の半導体材料等より適宜選択される。また表面伝導型電子放出素子は、絶縁性基板111あるいは不図示の層間絶縁層上のどちらに形成してもよい。

【0071】また、前記X方向配線112には、X方向に配列する表面伝導型電子放出素子114の行を任意に走査するための走査信号を印加するための不図示の走査信号発生手段が電氣的に接続されている。一方Y方向配線113には、Y方向に配列する表面伝導型電子放出素子114の列の各列を任意に変調するための変調信号を印加するための不図示の変調信号発生手段が電氣的に接続されている。

【0072】さらに、各表面伝導型電子放出素子に印加される駆動電圧は、その素子に印加される走査信号と変調信号の差電圧として供給されるものである。上記の構成において単純なマトリクス配線だけで個別の素子を選択して独立に駆動可能になる。

【0073】次に、以上のようにして作製される単純マトリクス配置の電子源を用いた画像形成装置について、図4および図5を用いて説明する。図4は画像形成装置の基本構成図であり、図5はその画像形成装置に用いられる蛍光膜のパターンである。

【0074】図4において31は上述のようにして電子放出素子を基板上に作成した電子源基板、34は電子放出素子に相当し、35および36は表面伝導型電子放出素子の一对の素子電極と接続されたX方向配線およびY方向配線である。32は電子源基板31を固定したリアプレート、40はガラス基板37の内面の蛍光膜38とメタルバック39等が形成されたフェースプレート、33は支持枠であり、リアプレート32、支持枠33およびフェースプレート40にフリットガラス等を塗布し、大気中あるいは窒素中で400～500℃で10分以上焼成することで封着して外囲器41を構成する。

【0075】外囲器41は、上述の如くフェースプレート40、支持枠33、リアプレート32で構成されるが、リアプレート32は主に電子源基板31の強度を補

強する目的で設けられることから、電子源基板31自体で十分な強度を持つ場合は別体のリアプレート32は不要であり、電子源基板31に直接、支持枠33を封着し、フェースプレート40、支持枠33および電子源基板31で外囲器41を構成しても良い。さらには、フェースプレート40とリアプレート32の間にスペーサーと呼ばれる耐大気圧支持部材を設置することで大気圧に対して十分な強度を持つ外囲器41にとることもできる。

【0076】図4中、38は蛍光膜である。蛍光膜38はモノクロームの場合は蛍光体のみからなるが、カラーの蛍光膜38の場合は、図5に示されるように、蛍光体43の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色部材42と蛍光体43とで構成される。ブラックストライプ、ブラックマトリクスが設けられる目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体43間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜38における外光反射によるコントラストの低下を抑制することである。ブラックストライプの材料としては通常、良く用いられている黒鉛を主成分とする材料だけでなく、光の透過および反射が少ない材料であればこれに限るものではない。

【0077】ガラス基板37に蛍光体43を塗布する方法は、モノクロームかカラーかによらず、沈殿法や印刷法が用いられる。

【0078】また、蛍光膜38の内面側には通常メタルバック39が設けられる。メタルバック39の目的は、蛍光体43に照射された電子が帯電するのを防止すること、蛍光体43の発光のうち内面側への光をフェースプレート40側へ鏡面反射することにより輝度を向上させること、電子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージからの蛍光体43の保護等である。メタルバック39は、蛍光膜38作製後に蛍光膜38の内面側表面の平滑化処理（通常、フィルミングと呼ばれる）を行い、その後、Alを真空蒸着等で堆積することで作製できる。フェースプレート40には、さらに蛍光膜38の導電性を高めるため、蛍光膜38の外表面側に透明電極（不図示）を設けてもよい。

【0079】前述の封着を行う際、カラーの場合は各色蛍光体と電子放出素子とを対応させなくてはならないため、十分な位置合わせを行う必要がある。

【0080】外囲器41は不図示の排気管を通じ、10⁻⁷Torr程度の真空度にされ、封止が行われる。また、外囲器41の封止後の真空度を維持するために、ゲッター処理を行う場合もある。これは、外囲器41の封止を行う直前、あるいは封止後に抵抗加熱、高周波加熱等の加熱法により、外囲器41内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する

処理である。ゲッターは通常、Ba等が主成分であり、その蒸着膜の吸着作用により、例えば $1 \times 10^{-5} \sim 1 \times 10^{-7}$ Torrの真空度を維持するものである。なお、表面伝導型電子放出素子のフォーミング以降の工程は適宜設定される。

【0081】以上のようにして作製される本発明の画像形成装置において、各電子放出素子には、容器外端子 $Dx1 \sim Dx_m$ 、 $Dy1 \sim Dy_n$ を通じ、電圧を印加することにより電子放出させ、高圧端子Hvを通じ、メタルバック39あるいは透明電極（不図示）に数kV以上の高圧を印加し、電子ビームを加速し、蛍光膜38に衝突させ、励起・発光させることで画像を表示することができる。

【0082】以上述べた構成は、画像表示等に用いられる好適な画像形成装置を作成する上で必要な概略構成であり、例えば各部材の材料等、詳細な部分は上述内容に限られるものではなく、画像形成装置の用途に適するよう適宜選択する。

【0083】次に、前述の梯子型配置電子源基板およびそれを用いた画像表示装置について図13および図14を用いて説明する。

【0084】図13において、120は電子源基板、121は電子放出素子、122の $Dx1 \sim Dx10$ は前記電子放出素子に接続する共通配線である。電子放出素子121は、基板120上にX方向に並列に複数個配置される（これを素子行と呼ぶ）。この素子行を複数個基板上に配置することで梯子型電子源基板となる。各素子行の共通配線間に適宜駆動電圧を印加することで、各素子行を独立に駆動することが可能になる。すなわち、電子ビームを放出させる素子行には電子放出閾値以上の電圧を、電子ビームを放出させない素子行には電子放出閾値以下の電圧を印加すれば良い。また、各素子行間の共通配線 $Dx2 \sim Dx9$ では、例えば $Dx2$ と $Dx3$ を同一配線とするような構成としても良い。

【0085】図14は、梯子型配置の電子源を備えた画像形成装置の構造を示す図である。図14において、130はグリッド電極、131は電子が通過するための空孔、132は $Dox1, Dox2, \dots, Dox_m$ よりなる容器外端子、133はグリッド電極130と接続された $G1, G2, \dots, G_n$ からなる容器外端子、134は前述のように各素子行間の共通配線を同一配線とした電子源基板である。なお、図4と図13で同一の符号は、同一の部材を示す。前述の単純マトリクス配置の画像形成装置（図4）との違いは、電子源基板120とフェースプレート40の間にグリッド電極130を備えていることである。

【0086】グリッド電極130は、表面伝導型電子放出素子から放出された電子ビームを変調することができるもので、梯子型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素

子に対応して一個ずつ円形の開口131が設けられている。グリッドの形状や設置位置は必ずしも図14のようなものでなくとも良く、開口としてメッシュ状に多数の通過口を設けることもあり、また表面伝導型電子放出素子の周囲や近傍に設けても良い。容器外端子132およびグリッド容器外端子133は、不図示の制御回路と電氣的に接続されている。

【0087】このような画像形成装置では、素子行を一列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像の1ライン分の変調信号を同時に印加することにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。

【0088】本発明によれば、テレビジョン放送の表示装置のみならずテレビ会議システム、コンピュータ等の表示装置に適した画像形成装置を提供することができる。さらには本発明の電子源を、感光性ドラム等で構成された光プリンタとしての画像形成装置として用いることもできる。

【0089】

【実施例】次に本発明の実施例を説明する。

【0090】（実施例1）本実施例では、図1に示したような構成を有する電子源基板およびそれを用いる画像形成装置の作製について、図2および図3に基づいて説明する。

【0091】まず、洗浄されたガラス基板（ここでは、ソーダライムガラス基板を使用）に、一対の素子電極11および12を形成する。本実施例では、膜の成膜方法として厚膜印刷法を使用した。ここで使用した厚膜ペースト材料はMODペーストで、金属成分はAuである。

【0092】印刷の方法はスクリーン印刷法である。印刷の後、70℃で10分乾燥し、次に本焼成を実施した。焼成温度は550℃で、ピーク保持時間は約8分である。印刷、焼成後のパターンは $350 \times 150 \mu m$ 、厚みは約0.3 μm であった（図2（a））。

【0093】次に、第1層の配線13を素子電極12の片側に各々接続形成する。ここでは第1層配線13の形成方法として、厚膜スクリーン印刷法を用いた。使用した厚膜ペースト材料はAgペーストで、金属部分はAgである。所定のパターンでスクリーン印刷を行った後、110℃で20分の乾燥を行い、550℃でピーク保持時間15分の焼成を行って、幅100 μm 、厚み12 μm の第1層の配線13を形成した（図2（b））。

【0094】次に、層間絶縁膜14を形成した。この層間絶縁層は、上面凹型の部分（図1（b）の14a）を有し、本実施例では厚膜スクリーン印刷法を用いて形成した。ペースト材料は、 SiO_x を主成分としてガラスバインダーを混合したペーストである。焼成温度は550℃で、ピーク保持時間は約15分である。所定のパターンでバインダーをスクリーン印刷した後、焼成を行ったところ、幅500 μm 、厚み約30 μm の層が形成さ

れた(図2(c))。

【0095】また、通常、絶縁層は上下層間の絶縁性を確保するために、印刷と焼成を2回ずつ実施する。厚膜ペーストにより形成される膜は通常ポーラスな状態を埋め込むようにして2回目の膜を印刷、焼成する。これにより、絶縁性が確保されることになる。本実施例もこれに従った。

【0096】次に、第2層の配線15を形成した。このとき、前記絶縁層の上に、その絶縁層の凹部以外では前記絶縁層からはみださない程度に幅がせまく、かつ、前記絶縁層の凹部部分で素子電極とコンタクトがとれるように形成した。形成方法としては、厚膜スクリーン印刷法を用いた。使用した厚膜ペースト材料はAgペーストで、金属部分はAgである。所定のパターンでスクリーン印刷の後、110℃で20分の乾燥を行った後、550℃でピーク保持時間15分の焼成を行って幅300μm、厚み10μmの第2層の配線15を形成した(図3(d))。この第2層の配線15は素子電極11への接続を絶縁層の凹部で直接行うことができる。

【0097】次に、第3層の配線16を形成した(図3(e))。その第3層の配線は、前記第2層の配線と同一の工程で、同一の材料にて、同一の場所に、同一の形状で形成した。これにより、最終的に第2層と第3層からなる配線層は幅300μm、厚み約20μmのものとなった。

【0098】以上で、マトリクス配線の部分が完成した。当然のことながら、ペースト材料、印刷方法はここで記したものに限るものではない。

【0099】このようにして作製された上配線は、従来のように、第2層の配線と素子電極とのコンタクト部で「ひび割れ」や「切れ」があっても、上記のように第3層の配線を印刷することで、そのような欠陥部分が被覆され、コンタクトは完全となった。また、配線層の厚みが倍化するため低抵抗な配線となった。

【0100】配線完成後、電子放出部を形成した。まず、上記印刷法で形成された、電子放出部への通電用の素子電極11および12の上層に有機パラジウム(CCP4230;奥野製薬工業(株)製)をスピナーにより回転塗布後、300℃で10分間の加熱処理を行い、Pdからなる電子放出部形成用薄膜17を形成した。このようにして形成された電子放出部形成用薄膜17は、Pdを主元素とする微粒子から構成され、その、膜厚は10nm、シート抵抗値は $5 \times 10^4 \Omega/\square$ であった。なお、ここで述べる微粒子膜は、複数の微粒子が集合した膜であり、その微細構造としては微粒子が個々に分散配置した状態のみならず、微粒子が互いに隣接あるいは重なり合った状態(島状も含む)の膜をもさし、その粒径とは、前記状態で粒子形状が認識可能な微粒子についての径をいう。

【0101】このパラジウム膜をフォトリソグラフィー

法を用いて、パターニングすることにより、フォーミング前までの素子の製造工程が完了した(図3(f))。フォーミング方法は、従来の方法を用いることができ、本実施例では、以下の条件とした(図9参照)。図9中、T1およびT2は電圧波形のパルス幅とパルス間隔であり、本実施例ではT1を1ミリ秒、T2を10ミリ秒とし、三角波の波高値(フォーミング時のピーク電圧)は14Vとし、フォーミング処理は約 1×10^{-6} Torrの真空雰囲気下で60秒間実施した。

【0102】このようにして作製された電子放出部は、パラジウム元素を主成分とする微粒子が分散配置された状態となっており、その微粒子の径の平均は3nmであった。

【0103】次に、すべての表面伝導型電子放出素子のフォーミングが終了後、 1×10^{-6} Torr程度の真空中で排気管(不図示)をガスバーナーで熱して溶着し、外圍器の封止を行った。

【0104】最後に、封着後の真空中を維持するために、ゲッター処理を行った。これは、封止を行う直前に高周波加熱等の加熱法により、画像形成装置内の所定の位置(不図示)に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターはBa等を主成分とするものであり、 $1 \times 10^{-5} \sim 1 \times 10^{-7}$ Torrの真空中を維持するものである。

【0105】以上のように完成した本発明の画像形成装置において、各表面伝導型電子放出素子に、容器外端子Dx1~Dxm、Dy1~Dynを通じ、走査信号および変調信号を不図示の信号発生手段によりそれぞれ印加することによって電子放出させ、高圧端子Hvを通じて、メタルバック39に数kV以上の高圧を印加し、電子ビームを加速して、蛍光膜38に衝突させ、励起・発光させることで画像を表示した。その結果、画像欠陥のない良好な画像を得ることができた。

【0106】このように本実施例の方法では、電極と配線の接続部分の信頼性が向上したため、歩留まりよく電子源および画像形成装置を作製することができた。

【0107】また、本実施例の方法によれば、配線抵抗の低抵抗化が実現するために、容易にX-Yマトリクス状に多数の表面伝導型電子放出素子を配置することができ、大画面の画像形成装置の作成に適している。

【0108】(実施例2)次に、図13に示すような構成を有する梯子型電子源基板を作成し、これを用いて図14に示すような画像形成装置を作製した。その製造手順について、図15および図16を用いて説明する。

【0109】図15は、本実施例で作製した電子源基板の素子の構成を示す平面図である。図16は、その電子源基板の製造手順を示す工程図である。図16においては、不図示の基板上に3個の電子放出素子を複数の短冊状配線と共に面状に配置した例を示している。

【0110】まず、実施例1と同様にして、洗浄したガ

ラス基板（ここでは、ソーダライムガラス基板を使用）に、素子電極141および142を形成した。本実施例では、膜の成膜方法としては厚膜印刷法を使用した。ここで使用した厚膜ペースト材料はMODペーストで、本実施例では金属部分としてPtを用いた。印刷の方法はスクリーン印刷法である。印刷の後、70℃で10分乾燥してから本焼成を行った。焼成温度は550℃で、ピーク保持時間は約8分である。印刷および焼成後の膜厚は約0.25μmであった（図16（a））。

【0111】次に、短冊状のライン配線（第1層の配線）143を形成した。このとき、第1層の配線の形成と同時に、素子電極141および142に対する接続パターン（接続層）147および148も形成した。すなわちこの場合、接続パターン147および148は、材料・形成条件は配線143の場合と同様である。形成方法は厚膜スクリーン印刷法を用いた。使用した厚膜ペースト材料はAgペーストで、金属部分はAgである。所定のパターンでスクリーン印刷を行った後、100℃で20分の乾燥を行い、550℃でピーク保持時間15分の焼成を行って、幅300μm、厚み10μmの第1層の配線143と素子電極141・142への接続パターンを得た。（図16（b））。

【0112】次に、第2のライン配線（第2層の配線）144を形成し、その配線144上に第3層の配線146を形成した（図16（c））。その第3層の配線146は、第2層の配線144形成後、その上に同一の条件・材料組成で第2層の配線と同じ配線を繰り返し形成したものである。これにより、第2層の配線と第3層の配線からなるライン配線層は、最終的に幅300μm、厚さ約20μmとなった。このようにして作成されたライン配線は、配線層が2倍の厚みとなるため低抵抗な配線となった。

【0113】続いて、電子放出部145を実施例1の場合と同様の方法で形成した（図16（d））。

【0114】次に、以上のようにして作製した表面伝導型電子放出素子を有する梯子型電子源基板に対して、実施例1と同様にしてフォーミング処理を行なった。

【0115】さらに、このようにして得られた電子源を真空容器内に複数配置して、実施例1と同様にフェースプレートに対向させて画像形成装置を形成した。

【0116】本実施例で作製したような構成の画像形成装置においては、平面上に形成された複数の短冊状配線に沿って素子が配置された電子源基板があって、その配線と直交する形でその素子の電子放出部の上方に開口を有する複数の短冊状グリッド電極を配置されている。従って、電子放出素子に接続する配線とグリッド電極に印加する駆動電圧を制御して、任意の電子放出素子より電子放出させることができる。

【0117】このような電子源および画像形成装置の作製方法では、電極と配線の接続部分の信頼性が高いた

め、歩留りが高い。

【0118】また、本実施例のような製造方法によれば、配線抵抗の低抵抗化が実現するために、X-Yマトリクス状に多数の表面伝導型電子放出素子を配置することが容易であり、大画面の画像形成装置の作製に適している。

【0119】さらに、本発明の応用として、上記実施例1および実施例2の電子源の形成方法によってアレイ状発光素子を作成し、感光性ドラム上にそれを配置することにより、電子写真記録装置を構成することができた。その場合も、上記実施例1および2の画像形成装置の場合同様の効果が認められる。

【0120】

【発明の効果】以上説明したように、本発明によれば、マルチ冷陰極電子ビーム源を用いた画像形成装置において、電極と配線の接続部分の信頼性が高く、低抵抗の厚い配線用電極が高精度で形成された電子源基板を有する電子源を形成することが可能で、画像形成装置等の大面積化の際に問題とされていた配線抵抗の増大による画像むらの発生を防止でき、高精細で大画面の画像形成装置が得られる。

【図面の簡単な説明】

【図1】本発明の電子源の代表的な素子構成を示す模式的平面図である。

【図2】本発明のマトリクス型電子源の製造手順の1例の前半を示す工程図である。

【図3】本発明のマトリクス型電子源の製造手順の1例の後半を示す工程図である。

【図4】本発明の画像形成装置の1例の構成を示す部分切り欠き斜視図である。

【図5】蛍光膜の構成を示す模式的部分図であり、（a）はブラックストライプの設けられたもの、（b）はブラックマトリクスの設けられたものの図である。

【図6】表面伝導型電子放出素子の1例の構成を示す模式的平面図である。

【図7】本発明の電子源に設けられる表面伝導型電子放出素子の1例の構成を示す模式的図であり、（a）は平面図、（b）は断面図である。

【図8】図7の素子の形成手順を示す工程図である。

【図9】本発明の電子源における表面伝導型電子放出素子製造時の通電フォーミングにおける電圧波形を示すグラフであり、（a）はパルス波高値が一定の場合、（b）はパルス波高値が増加する場合である。

【図10】表面伝導型電子放出素子の電子放出特性の測定評価装置の概略構成図である。

【図11】表面伝導型電子放出素子の電流-電圧特性を示す図である。

【図12】多数の表面伝導型電子放出素子を単純マトリクス配線して構成した電子源基板の概略図である。

【図13】多数の表面伝導型電子放出素子をライン配線

して構成した電子源基板の概略図である。

【図 1 4】本発明の画像形成装置の別の例の構成を示す部分切り欠き斜視図である。

【図 1 5】実施例 2 で製造した電子源基板の素子構造を示す模式的平面図である。

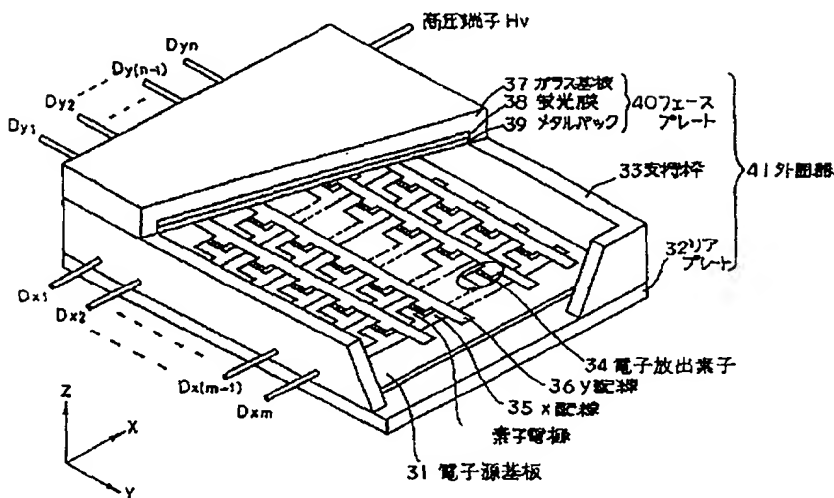
【図 1 6】実施例 2 の電子源基板の製造手順を示す工程図である。

【符号の説明】

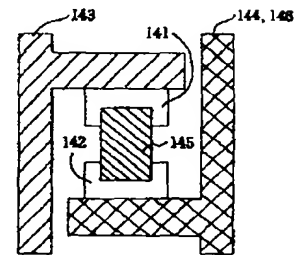
- 1 絶縁性基板
- 2 電子放出部形成用薄膜
- 3 電子放出部
- 4 電子放出部を含む薄膜
- 5 素子電極
- 6 素子電極
- 11 素子電極
- 12 素子電極
- 13 第 1 層の配線
- 14 層間絶縁層
- 14 a 凹部
- 15 第 2 層の配線
- 16 第 3 層の配線
- 17 電子放出部
- 31 電子源基板
- 32 リアプレート
- 33 支持枠
- 34 電子放出素子
- 35 X 方向配線
- 36 Y 方向配線
- 37 ガラス基板
- 38 蛍光膜

- 39 メタルバック
- 40 フェースプレート
- 41 外囲器
- 42 黒色部材
- 43 蛍光体
- 90 電流計
- 91 電源
- 92 電流計
- 93 高圧電源
- 94 アノード電極
- 111 絶縁性基板
- 112 X 方向配線
- 113 Y 方向配線
- 114 表面伝導型電子放出素子
- 120 電子源基板
- 121 表面伝導型電子放出素子
- 122 共通配線
- 130 グリッド電極
- 131 電子が通過するための空孔
- 132 容器外端子
- 133 容器外端子
- 134 電子源基板
- 141 素子電極
- 142 素子電極
- 143 第 1 層の配線
- 144 第 2 層の配線
- 145 電子放出部
- 146 第 3 層の配線
- 147 接続パターン（接続層）
- 148 接続パターン（接続層）

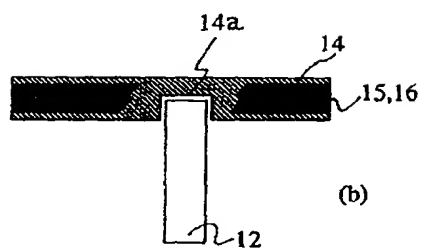
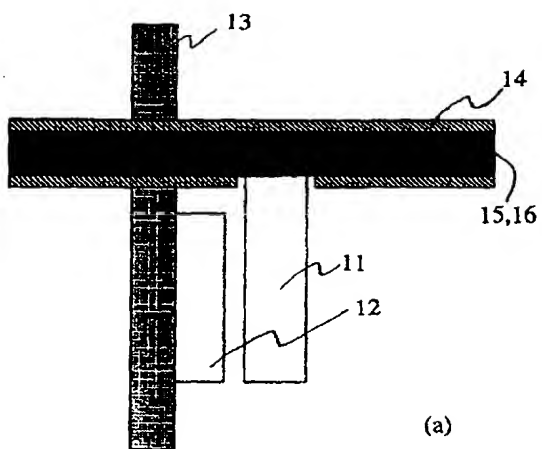
【図 4】



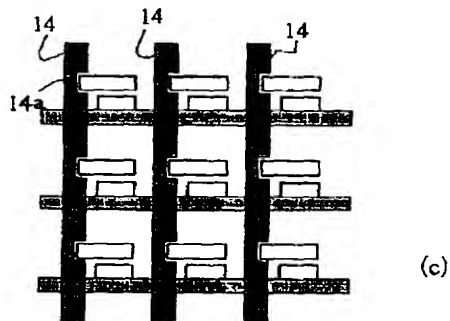
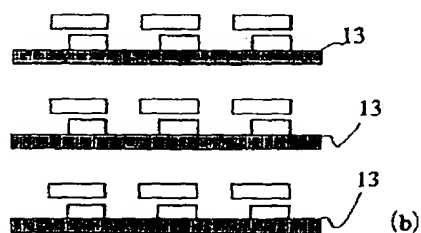
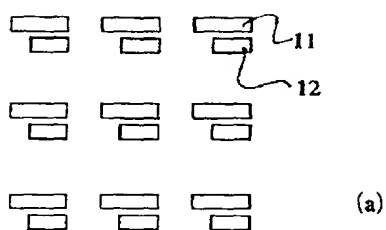
【図 1 5】



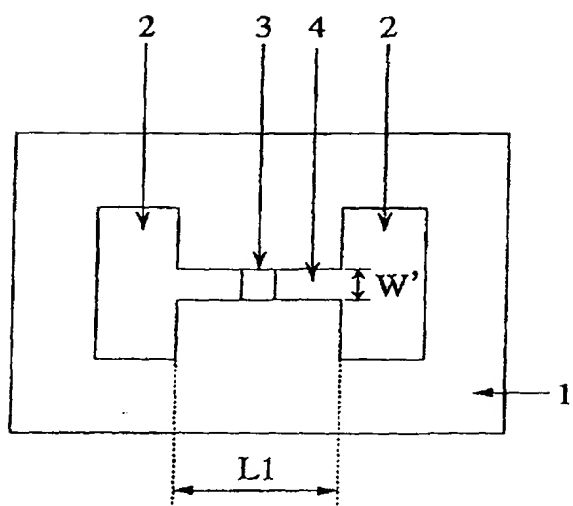
【図1】



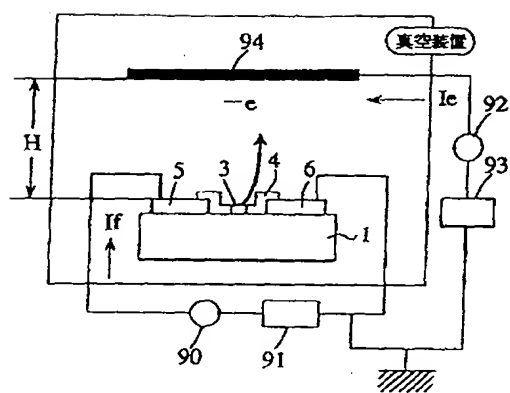
【図2】



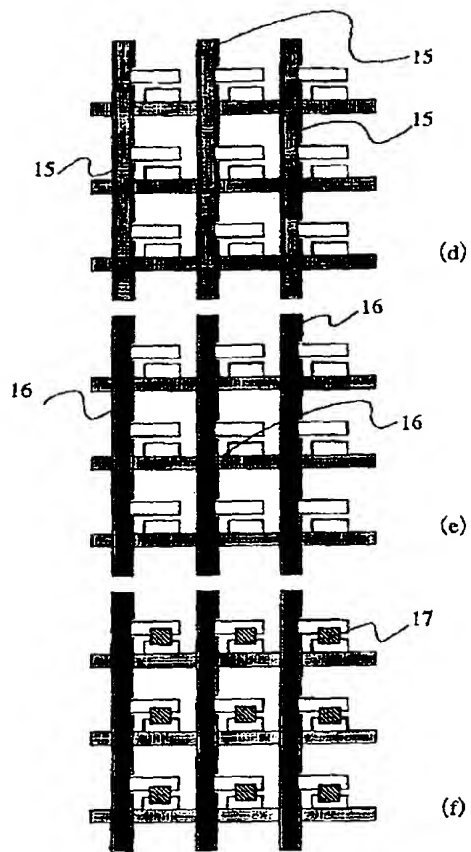
【図6】



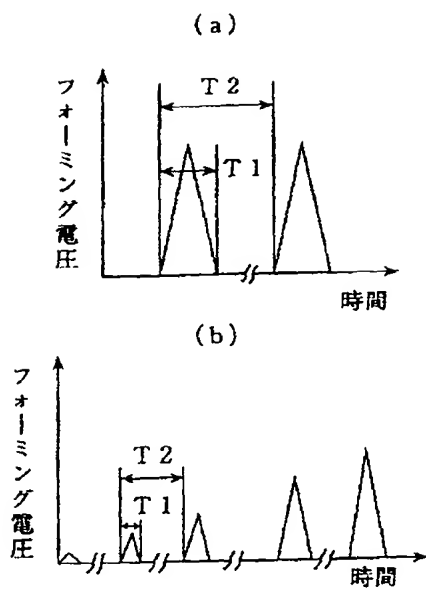
【図10】



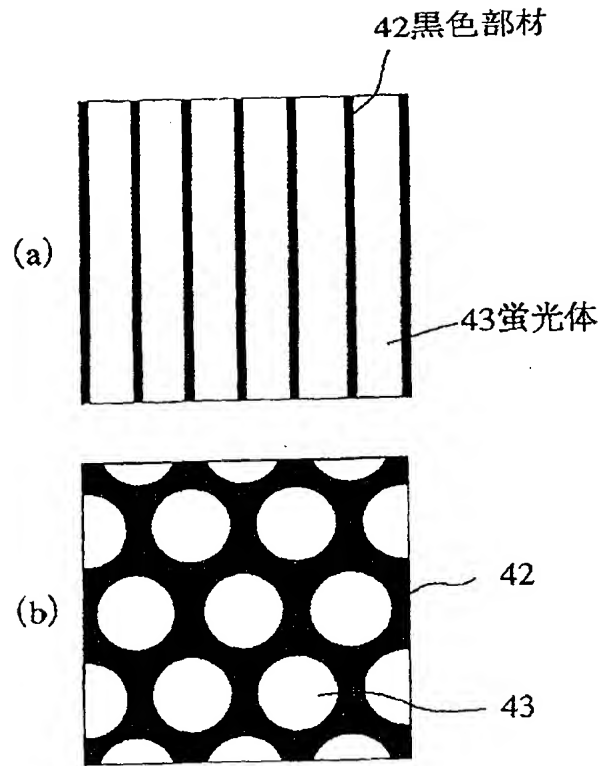
【図3】



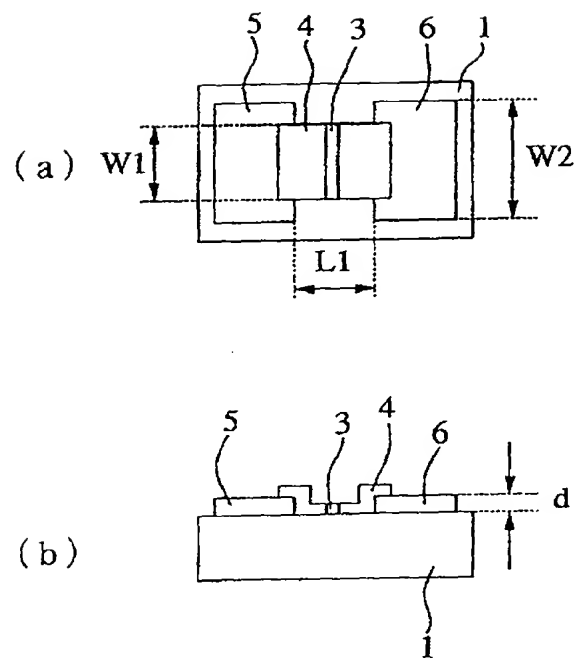
【図9】



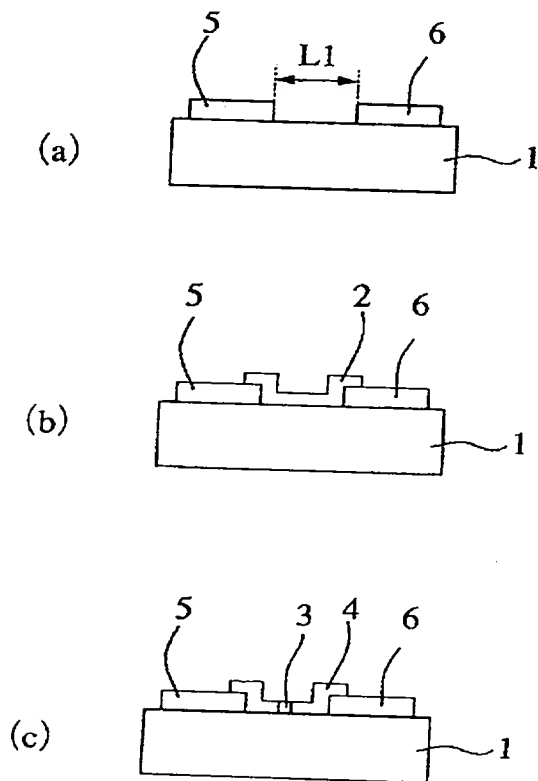
【図5】



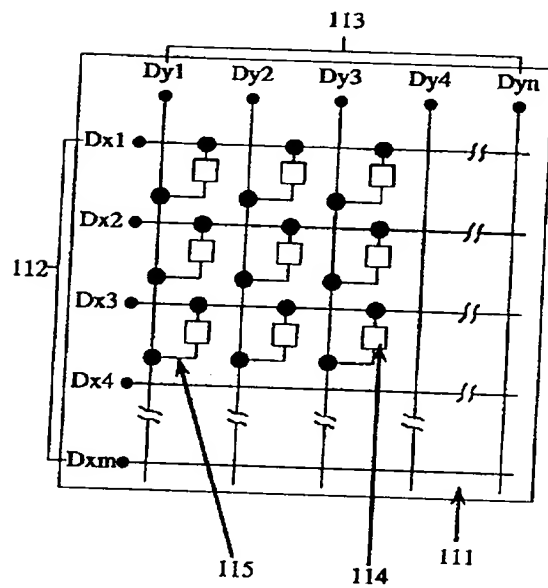
【図7】



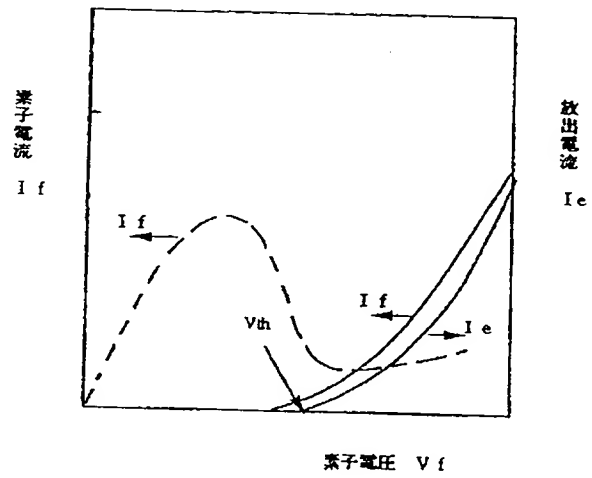
【図8】



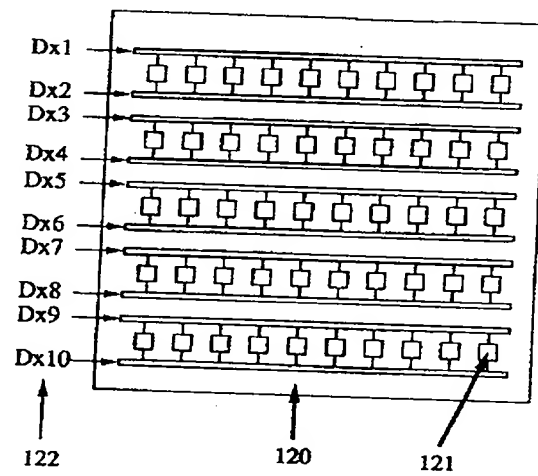
【図12】



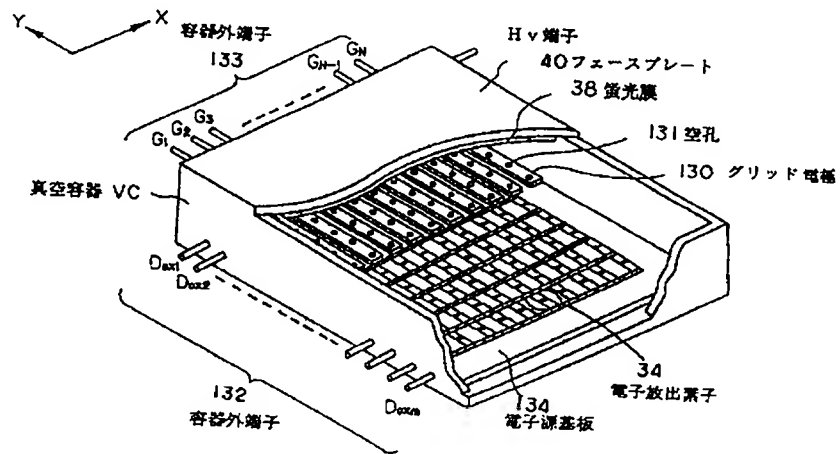
【図11】



【図13】



【図14】



【図16】

